

Application/Control Number: 10/743,104

Page 5

Art Unit: 2826

PAT-NO: JP361102767A

DOCUMENT-IDENTIFIER: JP 61102767 A

TITLE: SEMICONDUCTOR MEMORY DEVICE

PUBN-DATE: May 21, 1986

INVENTOR-INFORMATION:

NAME

MUTO, SHUNICHI

HIYAMIZU, SUKEHISA

ASSIGNEE-INFORMATION:

NAME

COUNTRY

AGENCY OF IND SCIENCE & TECHNOL

N/A

APPL-NO: JP59224087

APPL-DATE: October 26, 1984

INT-CL (IPC): H01L027/10, G11C011/34, H01L029/80

US-CL-CURRENT: 257/E27.012

ABSTRACT:

PURPOSE: To obtain a semiconductor memory device, which is capable of reading and writing at an ultra high speed, by the constitution wherein writing of data is carried out by sending and receiving electrons between 2DEG layers through a semiconductor layer having a wide band gap.

CONSTITUTION: In a semiconductor memory device, the following parts are provided: a semiinsulating GaAs substrate 1; a non-doped GaAs semiconductor layer 2; an n type AlGaAs barrier layer 3; a non-doped GaAs semiconductor layer 4; a non-doped AlGaAs semiconductor layer 5; alloy contact regions 6 and 7;

Art Unit: 2826

n-type GaAs contact layers 8 and 9; a first 2DEG layer 10; a second 2DEG layer 11; a gate electrode G; source electrodes S1 and S2; drain electrodes D1 and D2; a reading bit line BL1; a writing bit line BL2; a word line WL; and power source lines at specified potentials (normally grounded) VL1 and VSL. Thus electrons are sent and received between the first 2DEG layer 10 and the second 2DEG layer 22 through the n-type AlGaAs barrier 3.

COPYRIGHT: (C)1986,JPO&Japio

⑫ 公開特許公報(A)

昭61-102767

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)5月21日

H 01 L 27/10

6655-5F

G 11 C 11/34

H 01 L 29/80

7925-5F

審査請求 有

発明の数 1 (全8頁)

⑯ 発明の名称 半導体記憶装置

⑰ 特 願 昭59-224087

⑱ 出 願 昭59(1984)10月26日

⑲ 発 明 者 武 藤 俊 一 川崎市中原区上小田中1015番地 富士通株式会社内

⑳ 発 明 者 冷 水 佐 寿 川崎市中原区上小田中1015番地 富士通株式会社内

㉑ 出 願 人 工 業 技 術 院 長

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

半絶縁性GaAs基板上にn型AlGaAsよりなるワイド・バンド・ギャップを有し且つ電子親和力が小である半導体バリア層を挟んで上下に積層され該半導体バリア層との間に複数のヘテロ界面を形成するノン・ドープのGaAsよりなる二つの半導体層と、該上層の半導体上に設けられたノン・ドープのAlGaAs半導体層と、その上に形成されたAl蒸着膜よりなるゲート電極と、前記上側のヘテロ界面に接して設けられた金・ゲルマニウム/金よりなる第1のソース・ドレイン電極と、前記下側のヘテロ界面に該半導体バリア層上から形成した金・ゲルマニウム/金からなる第2のソース・ドレイン電極とを具備し、該電極に二つのヘテロ界面間で電子のやり取りが行われるような制御信号を加えるようにしたことを特徴とする半導

体記憶装置。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、複数のヘテロ界面に生成される二次元電子ガス(以下2DEGとする)層間で電子のやり取りを行わせる形式の半導体記憶装置に関する。

(従来技術と問題点)

従来、多くの形式の半導体記憶装置が知られている。

例えばMIS(metal insulator or semiconductor)電界効果型トランジスタにフローティング・ゲートを組み合わせた不揮発性MISメモリやCMOS(complementary metal oxidesemiconductor)を用いたダイナミックRAM(dynamic random access memory)或いはスタティックRAM(static random access memory)等が

知られている。

然しながら、前記不揮発性MISメモリは書き込みに高電圧或いは長時間を必要とし、また、ダイナミックRAM或いはstatic RAMは多数の素子を必要とする等、種々の欠点があり、そして、総体的に言えることは、まだまだスピードに関しては満足すべき状態にはないことである。

(発明の目的)

本発明は、従来の如何なる半導体記憶装置よりも高速で書き込み及び読み出しが可能である半導体記憶装置を提供する。

(発明の構成)

本発明の半導体記憶装置では、半絶縁性GaAs基板上にn型AlGaAsよりなるワイド・バンド・ギャップを有し且つ電子親和力が小である半導体バリア層を挟んで上下に積層され該半導体バリア層との間に複数のヘテロ界面を形成するノン・ドープのGaAsよりなる二つの半導体層と、該上層の半導体上に設けられた

aAs半導体層、5はノン・ドープのAlGaAs半導体層、6及び7は合金化コンタクト領域、8、9は n^+ 型GaAsコンタクト層、10及び11は第1の2DEG層及び第2の2DEG層、Gはゲート電極、S1及びS2はソース電極、D1及びD2はドレイン電極、BL1は読み出し用ビット線、BL2は書き込み用ビット線、WLはワード線、VSL1及びVSL2は一定電位(通常は接地)の電源線をそれぞれ示している。この実施例は本発明の半導体記憶装置に於ける基本的構造を有している。

この半導体記憶装置に於けるダブル・ヘテロ構造を得るには、半絶縁性GaAs基板1上にMBE(molecular beam epitaxy)法を適用することにより、GaAs/n-AlGaAs/GaAsを成長させることに依って得られる。

第1の2DEG層10に対するオーミック・コンタクト電極であるソース電極S1及びドレイン電極D1は、例えば、 n^+ 型GaAsコン

タクト層8及び9を選択的に再成長させ、その上に例えば蒸着法を適用して金・ゲルマニウム/金(Au・Ge/Au)からなる電極を形成することに依って得られる。

第2の2DEG層11に対するオーミック・コンタクト電極であるソース電極S2及びドレイン電極D2は、電極形成予定部分の周辺を選択的にエッチングし、その上に例えば蒸着法を適用してAu・Ge/Auからなる電極を形成して合金化することに依って合金化コンタクト領域6及び7を形成して完成する。

ゲート電極Gはアルミニウム(Al)を蒸着することに依って形成される。

この構成に於ける2DEG層間で選り取りされる電子のスピードは極めて速く、従って、この半導体記憶装置に於ける書き込み及び読み出しは高速で行うことができる。

(発明の実施例)

第1図は本発明一実施例の半導体記憶装置を表す要部切断側面図である。

図に於いて、1は半絶縁性GaAs基板、2はノン・ドープのGaAs半導体層、3はn型AlGaAsバリア層、4はノン・ドープのC

タクト層8及び9を選択的に再成長させ、その上に例えば蒸着法を適用して金・ゲルマニウム/金(Au・Ge/Au)からなる電極を形成することに依って得られる。

第2の2DEG層11に対するオーミック・コンタクト電極であるソース電極S2及びドレイン電極D2は、電極形成予定部分の周辺を選択的にエッチングし、その上に例えば蒸着法を適用してAu・Ge/Auからなる電極を形成して合金化することに依って合金化コンタクト領域6及び7を形成して完成する。

ゲート電極Gはアルミニウム(Al)を蒸着することに依って形成される。

第2図は第1図に示した本発明一実施例の半導体記憶装置に於いて、n型AlGaAsバリア層3を介して第1の2DEG層10及び第2の2DEG層11間で電子の選り取りをする状態を表す要部説明図である。

第3図は本発明実施例の無バイアス状態に於けるゲート電極下のエネルギー・バンド・ギャ

グラムであり、これは、第1図に関して説明した実施例に比較すると実際に用いられる構造に即している為、構造がより具体的になっている。

図に於いて、21はAlのゲート電極、22は厚さが ~ 500 (Å)程度であるノン・ドープのAl_{0.3}Ga_{0.7}As半導体層、23は厚さが ~ 100 (Å)程度であるノン・ドープGaAs半導体層、24は厚さが ~ 60 (Å)程度であるノン・ドープAl_{0.3}Ga_{0.7}As半導体層、25は厚さ100(Å)のn型AlGaAs半導体層、26は厚さ200(Å)のノン・ドープAl_{0.3}Ga_{0.7}As半導体層、27は厚さ60(Å)のn型Al_{0.3}Ga_{0.7}As半導体層、28は厚さ60(Å)のノン・ドープAl_{0.3}Ga_{0.7}As半導体層、29は厚さ6000(Å)のノン・ドープGaAs半導体層、30は第2の2DEG層(第1図では第2の2DEG層11に相当)をそれぞれ示している。尚、第1図に見られるn型AlGaAsバリア層3に相当するバリア部分は、ノン・ドープAl_{0.3}Ga_{0.7}As

半導体層24、n型Al_{0.3}Ga_{0.7}As半導体層25、ノン・ドープAl_{0.3}Ga_{0.7}As半導体層26、n型Al_{0.3}Ga_{0.7}As半導体層27、ノン・ドープAl_{0.3}Ga_{0.7}As半導体層28で構成されている。

第3図に於いては、半導体記憶装置が無バイアスである場合、第1の2DEG層が形成されず、従って、第1図に示されている上側のチャネルは不導通状態、即ち、オフになっているものを例示している。

第3図に関して説明した実施例に於いて書き込みを行う場合について第4図を参照しつつ説明する。

第4図は書き込み時に於けるバリア部分近傍のエネルギー・バンド・ダイヤグラムであり、第3図に関して説明した部分と同部分は同記号で指示してある。

図に於いて、31は第1の2DEG層、32はバリア部分を示している。

さて、図に見られるように、ゲート電極21

に(+)電極を印加すると共に第2の2DEG層30にコンタクトしているソース電極及びドレイン電極(第1図に於けるソース電極S2及びドレイン電極D2に相当)間に電場を加えることに依って達成される。

即ち、前記ソース電極及びドレイン電極間の電場に依って第2の2DEG層30に於ける一部の電子は加速されてホット化され、AlGaAsのポテンシャル・バリアである ~ 0.3 (eV)を越す運動エネルギーを獲得するが、その電子はゲート電極21に依る電場に引かれてゲート電極21に近い側である上側のチャネルに落ち、そこで第1の2DEG層31を形成するものであり、これで書き込みが行われたことになる。

この書き込みに要する時間は、

- ① 第2の2DEG層30に於ける一部の電子がホット化するのに要する時間 τ_1
- ② ホット化した電子が、バリア部分32を構成するAlGaAs中をドリフトで走行する時

間 τ_2

の和であるが、前記①については、第2の2DEG層30に於けるキャリア移動度が極めて高く、散乱を生じ難いことを考えれば、略自由電子の加速と見做して良く、

$$\frac{dv}{dt} = \frac{eE}{m^*} \text{ 或いは } v = \frac{eE}{m^*} t$$

で与えられる。ここで、

$$e = 1.6 \times 10^{-19} \text{ (C)}$$

$$m^* = 0.067 \times 9.1 \times 10^{-31} \text{ (Kg)}$$

であり、また、電場Eは、前記ソース電極及びドレイン電極間の距離が2.5(μ m)でその間に印加される電圧が1(V)である場合に於いて 4×10^5 (V/m)である。

前記AlGaAsに於けるポテンシャル・バリアである0.3(eV)を越える運動エネルギーに対応する電子の速度vは略 10^6 (m/秒)であり、前記各データから、電子のホット化に要する時間 τ_1 としては、

$$\tau_1 \approx 1 \times 10^{-12} \text{ (秒)} = 1 \text{ (p秒)}$$

が得られる。

また、電子がバリヤ部分32に於けるAEGaAs中でドリフトに依って走行するのに要する時間 τ_2 は、電場が 10^6 (V/m)程度のとき1(p秒)以下であることが知られている。従って、ゲート電極21に於ける電位を下側、即ち、ゲート電極21から離れた側のチャンネルに対して、

$$\sim 0.1(\mu\text{m}) \times 10^6(\text{V/m})$$

$$= 0.1(\text{V})$$

(0.1(μm):ゲート電極21から下側のチャンネルまでの距離)

程度に高く保つことに依り、ここでの電子の走行時間 τ_2 も1(p秒)以下にすることができる。

前記結果を総合すると、書き込みに要する時間は、 $\tau_1 + \tau_2 < 2$ (p秒)であって、著しく短い。

第5図は記憶状態に於けるバリヤ部分近傍のエネルギー・バンド・ダイアグラムであり、第3

図及び第4図に関して説明した部分と同部分は同記号で指示してある。

図に於いて、 E_{fg} はゲートに於けるフェルミ・レベル、 E_{f1} は第1の2DEG層31に於けるフェルミ・レベル、 E_{f2} は第2の2DEG層30に於けるフェルミ・レベルをそれぞれ示している。尚、 $E_{f2} = E_{fg}$ である。

記憶状態では、書き込み時に印加されたバイアス電圧は全て除去され、蓄積された電荷の影響に依って上側のチャンネル、従って、第1の2DEG層31に於ける電位が低下、即ち、フェルミ・レベル E が上昇している。

前記憶状態では、第1の2DEG層31の存在で、それにコンタクトしているソース電極及びドレイン電極(第1図に於けるソース電極S1及びドレイン電極D1に相当)間に導通がある。

従って、この半導体記憶装置に於ける読み出しを行うには、

① ソース電極S1及びドレイン電極D1に相

当するソース電極及びドレイン電極をソース電極S2及びドレイン電極D2に相当するソース電極及びドレイン電極とゲート電極21とから分離しておき、ソース電極S1及びドレイン電極D1に相当するソース電極及びドレイン電極間の導通を検出する。

② ソース電極S1及びS2に相当する各ソース電極の間における電位差を検出する。それには、例えば、その各ソース電極間に高インピーダンスの電圧計を接続しても良い。この二つの方法が考えられる。

第6図は書き込み情報の消去時に於けるバリヤ部分近傍のエネルギー・バンド・ダイアグラムであり、第3図乃至第5図に関して説明した部分と同部分は同記号で指示してある。

この場合の動作は、書き込み時と全く逆であり、ソース電極S1及びドレイン電極D1に相当するソース電極及びドレイン電極間に電圧を印加して第1の2DEG層31に於ける電子をホット化する。第1の2DEG層31に電子の

蓄積が在る間はバリヤ部分32に電場が存在し、ホット化された電子は第2の2DEG層30の方へドリフトされる。消去に要する時間は、書き込みに要する時間よりも若干長くなるが略同程度である。

以上の説明で判るように、この半導体記憶装置では、書き込み或いは消去に要する時間は、ごく大雑把に見積もっても、10(p秒)以下であって極めて短時間である。

ところで、第1図に関して説明した実施例を製造する場合、選択的再成長の技術を用いたものを例示したが、本発明に依る半導体記憶装置は、そのような特殊な技術を適用しなくても製造することが可能である。

第7図は連続成長法を適用して製造することができる実施例の要部切断側面図であり、第1図に関して説明した部分と同部分は同記号で指示してある。

図に於いて、41は p^+ 型GaAs埋め込み層、42はn型AEGaAs半導体層5上に連

続成長に依って形成された錫(Sn)を例えば $\sim 1 \times 10^{19}(\text{cm}^{-3})$ 程度にドーブした n^+ 型GaAs半導体層、43は合金化領域、BGはバック・ゲート・バイアス電極をそれぞれ示している。

本実施例に於けるソース電極S1及びドレイン電極D1の形成は、 n^+ 型GaAs半導体層42上にAu・Ge或いはAu等の電極材料を被着することに依って形成する。尚、この時、合金化の熱処理は行わない。

ゲート電極Gは、ゲート電極形成予定部分に存在する n^+ 型GaAs半導体層をエッチングに依って除去し、露出された n 型AlGaAs半導体層5の一部表面にAlを被着して形成する。

ソース電極S2及びドレイン電極D2に関しては、第1図に示した実施例と同様に合金化処理を行うものとする。

第1図に見られる実施例では、書き込み時に於けるゲート電圧は、ゲート電極Gとソース電

極2及びドレイン電極D2間のチャネルに加わるようになっていて、この場合、ソース及びドレイン間は、2DEG層の高電子移動度に起因する高電気伝導度($\sim 100(\Omega/\square)$)の為、略等電位であると仮定したが、実際には、バイアスが電極に集中され、ゲート電極Gと前記チャネル間には充分なバイアスが印加されない可能性がある。

このような問題を回避する為、第7図に示した実施例では、 p^+ (或いは n^+)型GaAs埋め込み層41を形成し、バック・ゲート・バイアスを加えるようにしている。

この場合、バック・ゲート・バイアス電極BGを引き出すには、 p 型バック・ゲートであれば、選択電極材料、即ち、 p 型半導体のみとオーミック・コンタクトを形成するAu亜鉛(Zn)を用いて合金化すれば良い。尚、 n 型バック・ゲートであれば、バック・ゲート・バイアス電極BGを何等かの手段で第2の2DEG層30から分離する必要がある。

第8図(a)乃至(d)は第1図に関して説明した実施例に於いて、二つの2DEG層を分離する為の n 型AlGaAsからなるバリヤ部分の変形例を表す図であり、簡単化する為、バンドの曲がりを省略したエネルギー・バンド・ダイヤグラムのかたちで示してある。尚、第1図に関して説明した部分と同部分は同記号で指示してある。

各図に於いて破線のハッチングを施した部分はシリコン(Si)をドーブしたAlGaAs半導体層を示し、また、矢印方向が上側、即ち、ゲート電極方向である。

第8図(a)はSiをドーブしたAlGaAs半導体層3を上側のヘテロ界面から著しく隔離させるようにした例であり、例えば $\sim 300(\text{\AA})$ 程度も遠ざけるようにしている。

第8図(b)はバリヤ層3以外のヘテロ界面から2DEGを供給するようにした例である。

第8図(c)は電子供給用の $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 半導体層よりもAl組成比が高い $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 半導体層($y > x$)をバッファ層として用い

ることにより、記憶情報となる蓄積電荷のリークを更に少なくなるようにしている。

第8図(d)はAlGaAs半導体層として x 値を直線的に変化させた、所謂、グレイデッド層を用いることに依り、書き込み時にホット化された電子のドリフト速度を大にし、書き込み時間の低減を図った例である。

(発明の効果)

本発明の半導体記憶装置では、基板上にワイド・バンド・ギャップを有し且つ電子親和力が小である半導体バリヤ層を挟んで積層され該半導体バリヤ層との間に複数のヘテロ界面を形成する複数の半導体層と、該複数のヘテロ界面近傍に生成され前記半導体バリヤ層を介して電子の通り取りをする二次元電子ガス層にコンタクトし少なくとも2個を一組として少なくとも一つの二次元電子ガス層に対応付けられた電極とを備えてなる構成を採っている。

この構成を採ることに依って、広いバンド・ギャップを有する半導体層を介する2DEG層

間に於ける電子の送り取りで情報の書き込みを行うことができ、その2DEG層にコンタクトする電極から、書き込まれた情報、即ち、蓄積電荷の有無を検出することによって情報を読み出すことができる。そして、この構成の前記2DEG層間に於ける電子を送り取りするスピードは極めて速く、従って、超高速で読み書き可能な半導体記憶装置を得ることが可能である。

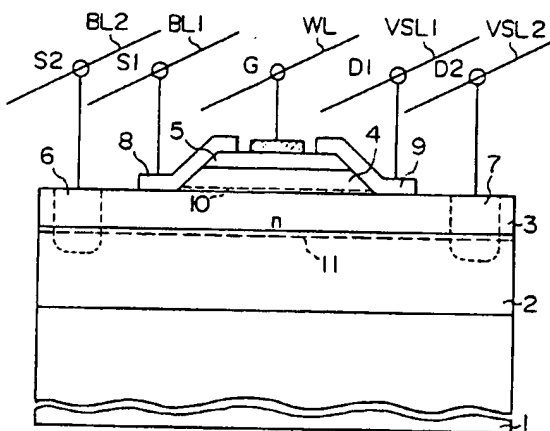
4. 図面の簡単な説明

第1図は本発明の一実施例の要部切断側面図、第2図は第1図に示した実施例に於ける2DEG層間で電子の送り取りが行われる状態を表す要部説明図、第3図は本発明の他の実施例に於けるゲート電極下に於けるエネルギー・バンド・ダイヤグラム、第4図は第3図について説明した実施例に於いて書き込みを行う場合の説明をする為のバリア部分近傍に於けるエネルギー・バンド・ダイヤグラム、第5図は同じく記憶状態を説明する為のバリア部分近傍におけるエネルギー・バンド・ダイヤグラム、第6図は同じく書

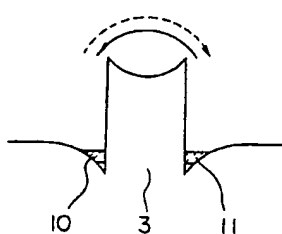
き込まれた情報の読み出しを行う場合を説明する為のバリア部分近傍に於けるエネルギー・バンド・ダイヤグラム、第7図は本発明に於ける他の実施例の要部切断側面図、第8図(a)乃至(b)は第1図に関して説明した実施例に於けるバリア部分の変形例を示すエネルギー・バンド・ダイヤグラムをそれぞれ表している。

図に於いて、1は半絶縁性GaAs基板、2はノン・ドーブのGaAs半導体層、3はn型AlGaAsバリア層、4はノン・ドーブのGaAs半導体層、5はノン・ドーブのAlGaAs半導体層、6及び7は合金化コンタクト領域、8及び9はn型GaAsコンタクト層、10及び11は第1の2DEG層及び第2の2DEG層、Gはゲート電極、S1及びS2はソース電極、D1及びD2はドレイン電極、BL1は読み出し用ビット線、BL2は書き込み用ビット線、WLはワード線、VSL1及びVSL2は一定電位の電源線をそれぞれ示している。

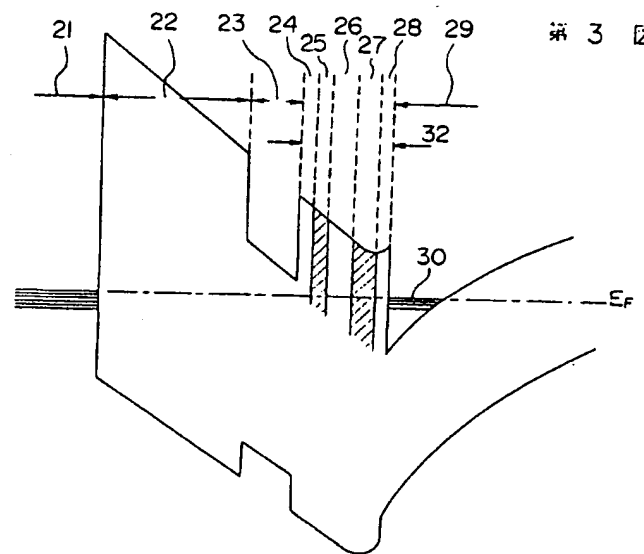
第1図



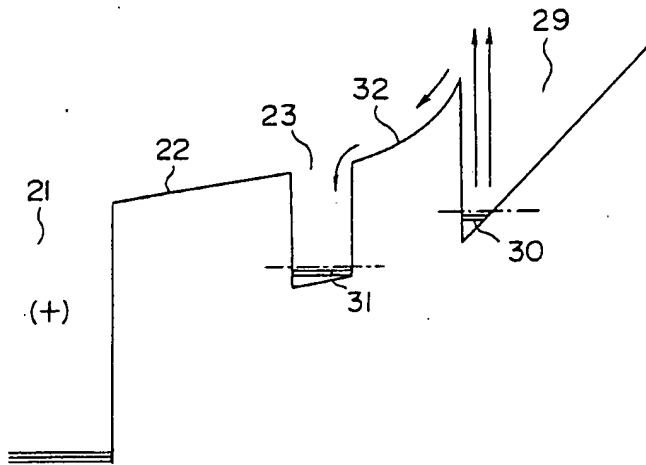
第2図



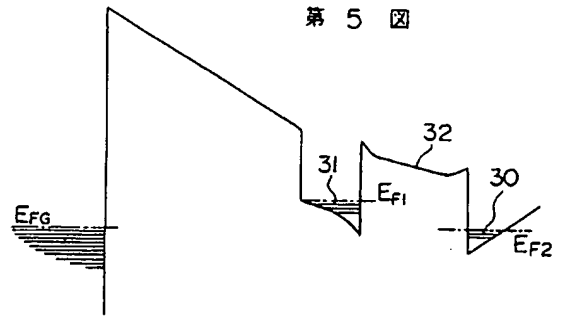
第3図



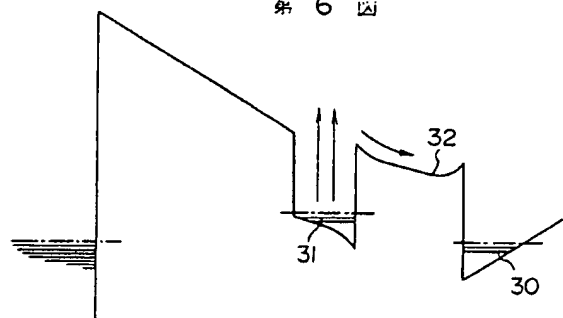
第4図



第5図

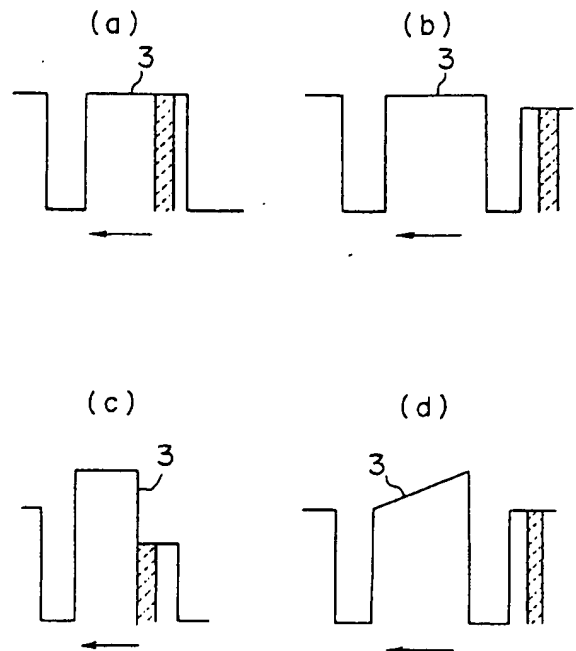
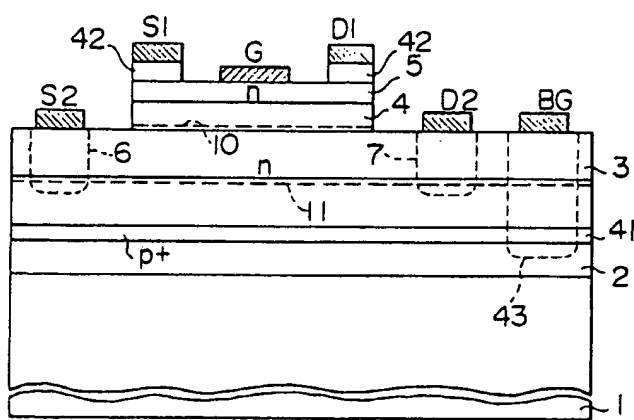


第6図



第8図

第7図



手続補正書(方式)

本願明細書第20頁第4行目の、「第8図(a)乃

至(b)は」を「第8図(a)乃至(d)は」と補正する。

昭和60年3月25日

出願人 工業技術院長 等々力 達

特許庁長官殿

1 事件の表示 昭和59年特許願第224087号

2 発明の名称 ハンドワイヤスタック
半導体記憶装置

3 補正をする者

事件との関係 特許出願人

住所 東京都千代田区霞が関一丁目3番1号
(114)氏名 工業技術院長 等々力 達

連絡先 (普通送付先)

住所 東京都千代田区霞が関一丁目3番1号
氏名 工業技術院 次世代産業技術企画官室
電話 03(501)1511 内線4601~5



4 補正命令の日付 昭和60年2月26日

5 補正の対象 明細書の図面の簡単な説明の欄

6 補正の内容 別紙の通り

方 審 査 (興)

